2024年度 「論理回路」定期試験 問題
(担当: 石浦菜岐佐)

試験開始までこの面を上にして待つこと

- 試験時間は80分で, 持ち込みは一切不可である.
- 問題は全部で 5 問あり 100 点満点である.
- 解答用紙の所定の欄に解答せよ.

採点結果の閲覧 本試験は, 採点が終り次第, 結果を WWW で閲覧できるようにします.

- **閲覧を希望する人**は, 解答用紙の「(1) 好きな数字 4 桁」と「(2) 勉強時間」の欄に, それぞれ 4 桁の数字を記入し, その下にマークして下さい.
  - (2) はこの定期試験のための勉強時間で, 例えば, **8 時間 25 分であれば 0825** のように, 時間を 2 桁, 分を 2 桁で表現して下さい. 統計を講義ページで公表する予定です.
  - (1)(2) の**数字は閲覧時のキーとして必要**になるので, 記憶に自信のない人は下に**控え**を取っておいて下さい.
  - なお, 次の場合には閲覧ができなくなるので注意して下さい.
    - (2) の数字が**勉強時間を表していないと判断される**場合
    - マークがない/薄い場合, マークにミスがある場合, 数字とマークが一致しない場合

	(1) 好きな数字 4 桁				(2) 勉強時間			
					時間		分	
控え ⇒								

- 閲覧ページは講義ページ (`http://cs.kwansei.ac.jp/~ishiura/lc/`) からリンクします.
  - ページの認証は中間試験等と同じです.
  - 表示されるフォームに (1)(2) の数字を入力して下さい. **数字を忘れた場合は閲覧できません**. また, メールなどによる照会には一切応じません.
  - 閲覧の期限は 8/12(月) です.
- **閲覧を希望しない人**は, (1)(2) を空欄にしておいて下さい.

1 次の問いに答えよ．(3)(4)(5) 以外は結果のみ示せ．　[35 点] (5×7) 【各問完全解答; 部分点なし】

(1) n ビットの 2 の補数表現の 2 進数で表現可能な最小数と最大数を示せ．

(2) 8 ビットの 2 の補数表現の 2 進数 10100000 を 10 進数に変換せよ．

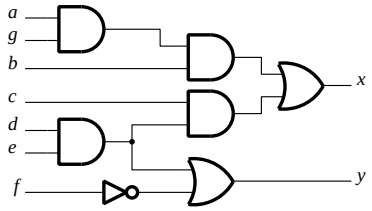
(3) $(x + a\overline{b})(y + b\overline{c})(z + c\overline{a})(x + \overline{y} + ab)(y + \overline{z} + bc)(z + \overline{x} + ca)$ を簡単化せよ (結果に至る過程も示せ)．

(4) $(x \oplus a \oplus b)(\overline{x} \oplus \overline{a}b)$ を簡単化せよ (結果に至る過程も示せ)．

(5) n 変数論理関数 f において, n リテラルの論理和で各変数のリテラルを 1 つづつ含むものを最大項といい, f を最大項の論理積で表したものを f の和積標準形という．$f(a, b, c) = a + \overline{b}\overline{c} + bc$ の和積標準形を求めよ．

(6) $g(x, y) = x \oplus y$ を and と not だけで表せ (簡単化する必要はない)．

(7) 下記の組み合わせ回路を, nand ゲートと not ゲートのみからなるものに変換せよ (簡単化する必要はない.)



2 下記の状態遷移表で動作が定義される順序回路の設計について, 次の問いに答えよ．ただし, 入力を x, 出力を z とする．また, A が初期状態であるとする．　[26 点] ($4 + 4 + 6 + 12$)

状態遷移表

現状態	次状態		出力
	$x = 0$	$x = 1$	z
A	B	C	0
B	A	C	0
C	B	D	1
D	C	E	1
E	A	E	1

状態割当

状態	a	b	c
A	0	0	0
B	0	0	1
C	1	1	0
D	1	0	0
E	1	0	1

(1) 入力 x に信号値系列 1 0 1 1 1 0 1 を入力したときに, z に出力される信号値系列を示せ (最初の8 時刻分を示せ; 結果のみ示すこと)．

(2) この状態遷移表と等価な状態遷移グラフを示せ．

(3) 上記右表のように 3 ビットの状態変数 a, b, c を用いて状態割当てを行うとする．状態変数 a, b, c をそれぞれ JK フリップフロップ J_a, J_b, J_c で記憶する回路を設計するものとする．J_a の J 入力と K 入力をそれぞれ j_a, k_a とし, J_b の J 入力と K 入力をそれぞれ j_b, k_b とし, J_c の J 入力と K 入力をそれぞれ j_c, k_c とする．フリップフロップの入力関数の表を示せ (解答用紙の表を完成させよ)．全ての可能な don't care を考慮すること．
【注意】この表の間違いによって (4) のカルノー図が間違っていた場合, そのカルノー図に対する部分点は与えないので, 十分注意すること．なお, 表の右と下にはそれぞれ行と列チェックサム (その行と列の 0, 1, X をそれぞれ整数の 0, 1, 2 と見なして加算した結果を 3 で割った値; 下の例参照) を付しているので, これを利用した検算を行うこと．

(チェックサムの例)

現状態	FFへの入力 j_a k_a j_b k_b j_c k_c		
		x=0	x=1
	1	X 0 X X 0	X 1 1 X X 1
	X		
	0		
	X		
	X		
	1		

1 … (1+2+0+2+2+0+2+1+1+2+2+1) mod 3
= 16 mod 3 = 1

2 … (1+2+0+2+2+1) mod 3 = 8 mod 3 = 2

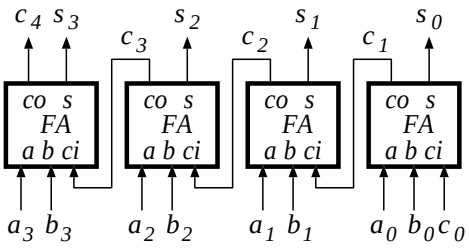
(4) j_a, k_a, および j_c, k_c の論理関数を a, b, c, x の最小積和形で表せ．解答を得る過程として, それぞれの関数のカルノー図も併せて示せ．(j_b, k_b, z の論理関数は求めなくてよい.)

3 次の順序機械の状態数を最小化せよ (結果のみ示せ). [14 点]

現状態	次状態/出力	
	入力 = 0	入力 = 1
S_a	$S_b/0$	$S_c/1$
S_b	$S_f/1$	$S_g/1$
S_c	$S_e/1$	$S_b/1$
S_d	$S_g/0$	$S_c/1$
S_e	$S_d/0$	$S_b/0$
S_f	$S_h/0$	$S_g/0$
S_g	$S_f/1$	$S_b/1$
S_h	$S_a/0$	$S_g/0$

4 加算器の設計に関する以下の問いに答えよ. [13 点] (4+9)

下記は 4 ビット加算器の設計例である. 入力 $A = (a_3, a_2, a_1, a_0)$, $B = (b_3, b_2, b_1, b_0)$ および出力 $S = (c_4, s_3, s_2, s_1, s_0)$ は符号無し 2 進数を表す (それぞれ a_0, b_0, s_0 が最下位ビットである). c_0 は最下位桁への桁上げ入力であり, A と B と c_0 の算術和が S に出力される. FA は全加算器 (full adder) であり, a と b と ci の 1 ビット和 s と上位への桁上げ co を計算する.



(1) 全加算器の真理値表を示せ.

(2) 上記の回路と同じ桁上げ信号 c_i を, より少ない段数の組合せ回路で生成する「桁上げ生成回路」の設計について考える.

- i 桁目から桁上げが生成される条件を表す g_i を a_i と b_i の論理式で表せ.
- i 桁目への桁上げ信号が $i+1$ 桁目に伝播する条件を表す p_i を a_i と b_i の論理式で表せ.
- c_{i+1} $(0 \leq i \leq 3)$ を g_i, p_i, c_i の論理式で表せ.
- c_4 を $g_0, g_1, g_2, g_3, p_0, p_1, p_2, p_3, c_0$ の論理式で表せ.

5 次のような Mealy 型順序回路の状態遷移グラフを示せ. ただし, 状態数の上限を 6 とする. (状態数がこれを超える状態遷移グラフや, Moore 型の状態遷移グラフを回答した場合は, 一律 0 点とし, 部分点も与えないので注意すること.) [12 点]

この回路は 1 ビットの入力 x と 1 ビットの出力 z を持つ. x に 0 または 1 の系列を入力すると, z には, 過去 2 時刻および現時刻に x に入力された値のうち数の多い方が出力されるものとする. ただし, 初期状態は, 過去 2 時刻に 0 0 が入力されていた状態とする. 例えば, x に 0 1 1 0 0 1 1 1 0 0 1 0 1 1 を入力した場合の出力は次のようになる.

時刻		0	1	2	3	4	5	6	7	8	9	10	11	12	13	$\cdots$
入力	x	0	1	1	0	0	1	1	1	0	0	1	0	1	1	$\cdots$
出力	z	0	0	1	1	0	0	1	1	1	0	0	0	1	1	$\cdots$

※ 過去 2 時刻に入力された系列を状態として記憶するのが一案. 例えば, 過去 3 時刻に 0 0 が入力された状態を S_{00} とし, この状態で 0 が入力されれば S_{00} に, 1 が入力されれば S_{01} に遷移するようにすればよい.

Nagisa ISHIURA