

2023年度「論理回路」定期試験 問題 (担当: 石浦菜岐佐)

試験開始までこの面を上にして待つこと

- 試験時間は80分で、持ち込みは一切不可である。
- 問題は全部で5問あり100点満点である。
- 解答用紙の所定の欄に解答せよ。

採点結果の閲覧 本試験は、採点が終り次第、結果をWWWで閲覧できるようにします。

- 閲覧を希望する人は、解答用紙の「(1)好きな数字4桁」と「(2)勉強時間」の欄に、それぞれ4桁の数字を記入し、その下にマークして下さい。
 - － (2)はこの定期試験のための勉強時間で、例えば、8時間25分であれば0825のように、時間を2桁、分を2桁で表現して下さい。統計を講義ページで公表する予定です。
 - － (1)(2)の数字は閲覧時のキーとして必要になるので、記憶に自信のない人は下に控えを取っておいて下さい。
 - － なお、次の場合には閲覧ができなくなるので注意して下さい。
 - * (2)の数字が勉強時間を表していないと判断される場合
 - * マークがない/薄い場合、マークにミスがある場合、数字とマークが一致しない場合

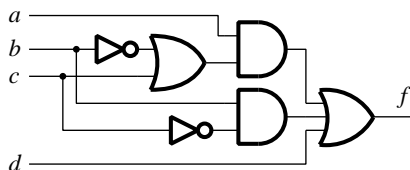
控え ⇒

(1)好きな数字4桁				(2)勉強時間			
				時間		分	

- 閲覧ページは講義ページ (<http://cs.kwansei.ac.jp/~ishiura/lc/>) からリンクします。
 - － ページの認証は中間試験等と同じです。
 - － 表示されるフォームに(1)(2)の数字を入力して下さい。数字を忘れた場合は閲覧できません。また、メールなどによる照会には一切応じません。
 - － 閲覧の期限は8/12(土)です。
- 閲覧を希望しない人は、(1)(2)を空欄にしておいて下さい。

1 次の問いに答えよ。(3)(4)(5) 以外は結果のみ示せ。 [35点] (5 × 7) 【各問完全解答; 部分点なし】

- (1) 7 ビットの 2 の補数表現の 2 進数で表現可能な最小数と最大数を 10 進数で示せ。
- (2) 10 進数の -88 を 8 ビットの 2 の補数表現の 2 進数に変換せよ。
- (3) $\overline{ab} + \overline{bc} + \overline{ac} \cdot \overline{bc} + \overline{cd} + \overline{da}$ を簡単化せよ (結果に至る過程も示せ)。
- (4) $x(x \oplus a)(x \oplus b)(x \oplus c)$ を簡単化せよ (結果に至る過程も示せ)。
ヒント: まず $x(x \oplus a)$ を展開して簡単化してみよ。
- (5) $F = \overline{b}\overline{d}$, $G = \overline{b}\overline{d} + \overline{c}\overline{d} + bcd$, のとき, $F = G \cdot Q$ を満たす Q の最小積和形論理式を求めよ。
- (6) $g(x, y) = x \oplus \overline{y}$ を or と not だけで表せ (簡単化する必要はない)。
- (7) 下記の組み合わせ回路を, nand ゲートと not ゲートのみからなるものに変換せよ (簡単化する必要はない)。



2 下記の状態遷移表で動作が定義される順序回路の設計について, 次の問いに答えよ。ただし, 入力を x , 出力を z とする。また, A が初期状態であるとする。 [26点] (4 + 4 + 6 + 12)

現状態	次状態		出力 z
	$x = 0$	$x = 1$	
A	B	C	1
B	C	D	0
C	D	E	1
D	E	C	0
E	E	D	1

状態	a	b	c
A	0	0	0
B	0	0	1
C	0	1	0
D	1	1	0
E	1	0	1

- (1) 入力 x に信号値系列 0110010 を入力したときに, z に出力される信号値系列を示せ (最初の 8 時刻分を示せ; 結果のみ示すこと)。
- (2) この状態遷移表と等価な状態遷移グラフを示せ。
- (3) 上記右表のように 3 ビットの状態変数 a, b, c を用いて状態割当てを行うとする。状態変数 a, b, c をそれぞれ JK フリップフロップ J_a, J_b, J_c で記憶する回路を設計するものとする。 J_a の J 入力と K 入力をそれぞれ j_a, k_a とし, J_b の J 入力と K 入力をそれぞれ j_b, k_b とし, J_c の J 入力と K 入力をそれぞれ j_c, k_c とする。フリップフロップの入力関数の表を示せ (解答用紙の表を完成させよ)。全ての可能な don't care を考慮すること。

【注意】この表の間違いによって (4) のカルノー図が間違っていた場合, そのカルノー図に対する部分点は与えないので, 十分注意すること。なお, 表の右と下にはそれぞれ行と列チェックサム (その行と列の 0, 1, X をそれぞれ整数の 0, 1, 2 と見なして加算した結果を 3 で割った値; 下の例参照) を付しているのので, これを利用した検算を行うこと。

(チェックサムの例)

現状態	FFへの入力 $j_a k_a j_b k_b j_c k_c$											
	$x=0$			$x=1$								
	1	X	0	X	X	0	X	1	1	X	X	1
	X											
	0											
	X											
	X											
	1											

$$1 \cdots (1+2+0+2+2+0+2+1+1+2+2+1) \bmod 3 = 16 \bmod 3 = 1$$

$$2 \cdots (1+2+0+2+2+1) \bmod 3 = 8 \bmod 3 = 2$$

- (4) j_b, k_b , および j_c, k_c の論理関数を a, b, c, x の最小積和形で表せ。解答を得る過程として, それぞれの関数のカルノー図も併せて示せ。 (j_a, k_a, z の論理関数は求めなくてよい)

3 次の順序機械の状態数を最小化せよ (結果のみ示せ). [14 点]

現状態	次状態/出力	
	0	1
S_a	$S_d/1$	$S_e/0$
S_b	$S_b/0$	$S_d/0$
S_c	$S_f/0$	$S_b/1$
S_d	$S_a/1$	$S_e/0$
S_e	$S_a/1$	$S_g/0$
S_f	$S_f/0$	$S_d/0$
S_g	$S_e/1$	$S_c/0$

4 2 ビットの 2 進数の大小比較を行う回路に関する次の問いに答えよ. [15 点] (3 + 12)

(1) 2 つの 1 ビット入力 a, b の大小比較を行う次のような関数 $l(a, b), e(a, b)$ を考える. l および e を a, b の最小積和形論理式で表せ.

	$l(a, b)$	$e(a, b)$
$a < b$ のとき	1	0
$a = b$ のとき	0	1
$a > b$ のとき	0	0

(2) 2 つの 2 ビットの 2 進数 a_1a_0, b_1b_0 の大小比較を行う次のような関数 $L(a_1, a_0, b_1, b_0), E(a_1, a_0, b_1, b_0)$ を考える. $l_0 = l(a_0, b_0), e_0 = e(a_0, b_0), l_1 = l(a_1, b_1), e_1 = e(a_1, b_1)$ とするとき, L および E を l_1, e_1, l_0, e_0 の最小積和形論理式で表せ. L と E のカルノー図も併せて示せ.

	$L(a_1, a_0, b_1, b_0)$	$E(a_1, a_0, b_1, b_0)$
$2a_1 + a_0 < 2b_1 + b_0$ のとき	1	0
$2a_1 + a_0 = 2b_1 + b_0$ のとき	0	1
$2a_1 + a_0 > 2b_1 + b_0$ のとき	0	0

5 次のような Mealy 型順序回路の状態遷移グラフを示せ. ただし, 状態数の上限を 3 とする. 状態数がこれを超える状態遷移グラフや Moore 型の状態遷移グラフは一律 0 点とし, 部分点も与えないので注意すること. [10 点]

- この回路は 1 ビットの入力 x と 1 ビットの出出力 z を持つ.
- 時刻 $t-2, t-1, t$ において x にそれぞれ 1, 1, 0 が入力されると, 時刻 t において z に 1 を出力する. それ以外の場合の z の出力は 0 である. 例えば, x に 1011011101101... を入力した場合の z の出力は次のようになる.

時刻	t	0	1	2	3	4	5	6	7	8	9	10	11	12	...
入力	x	1	0	1	1	0	1	1	1	0	1	1	0	1	...
出力	z	0	0	0	0	1	0	0	0	1	0	0	1	0	...



Nagisa ISHIURA