

準ブール充足可能性判定によるクラスタ型 VLIW DSP の 最適コードスケジューリング

小林 涼、益井 勇気、石浦 菜岐佐

本稿では、クラスタ型 VLIW DSP TMS320C62x のデータパスの詳細やデータ転送演算の挿入まで考慮した最適コードスケジューリングを、準ブール充足可能性判定（以下 PBSAT）により求める方法を提案する。ユニット毎のオペランドの非対称性、レジスタファイルの記憶容量、および主記憶やレジスタファイル間のデータ転送まで考慮した最適スケジューリング問題を定式化する。PBSAT は充足可能性判定に一次不等式の制約を追加したものであり、記憶容量制約を効率的に表現し、かつ本稿のスケジューリング問題の解を高速に求めることができる。

キーワード 準ブール充足可能性判定、クラスタ型 VLIW DSP、コードスケジューリング、TMS320C62x

Optimum Code Scheduling for Clustered VLIW DSP Using Pseudo Boolean Satisfiability

Ryo KOBAYASHI, Yuki MASUI, and Nagisa ISHIURA

This paper proposes a method of finding optimum code scheduling for clustered VLIW DSP TMS320C62x considering the detailed configuration of its datapath and insertion of data transfer operations using Pseudo Boolean Satisfiability (PBSAT). We formulate an optimum code scheduling problem which takes the operand asymmetry for each unit, the capacity of the registerfiles, and the data transfer operations among the main memory and the registerfiles into account. PBSAT is an extension of the Boolean satisfiability problem (SAT) which can deal with linear inequality constraints. It enable us to express the registerfile capacity constrains succinctly and to solve the scheduling problem efficiently.

Key words Pseudo Boolean Satisfiability, clustered VLIW DSP, code scheduling, TMS320C62x