

VLIW 型 DSP のコード最適化のためのサイクル分割スケジューリング

益井 勇気、石浦 菜岐佐

あらまし

本稿では、VLIW 型 DSP のコードスケジューリングを高速に行う一手法として、サイクル分割スケジューリングを提案する。クラスタ型 VLIW DSP に対してレジスタファイルの容量、データ転送演算の挿入、オペランドの非対称性までを考慮したスケジューリング問題の厳密解法が提案されているが、コードが大規模になると現実的な時間で解を得ることができない。そこで、本手法では、コード全体を一度にスケジューリングするのではなく、コードを先頭から一定サイクル数ずつスケジューリングする。解の厳密最適性は保証されないが、各回のスケジューリング処理の計算時間を抑制できるため、より規模の大きいコードに対しても現実時間で解を求めることが可能になる。

キーワード クラスタ型 VLIW DSP、コード最適化、TMS320C62x、サイクル分割スケジューリング

Cycle partitioned Scheduling for Code Optimization of VLIW DSP

Yuki MASUI and Nagisa ISHIURA

This paper proposes a *cycle partitioned* scheduling method for code optimization of VLIW DSPs. The previously proposed optimum code scheduling method for VLIW DSPs, which takes into account the capacity of registerfiles, insertion of data transfer operations, and operand asymmetry of functional units, required such an enormous computation cost that it can not handle large scale codes within a practical amount of time. Instead of processing a whole code at a time, our scheduler builds up entire scheduling by repeating computation for a fixed amount of cycles. This curbs the computation cost for each stage and allows optimization of the larger codes within feasible time, though the optimality of the solution may not be guaranteed.

Key words clustered VLIW DSP, code optimization, TMS320C62x, cycle partitioned scheduling