

# VLIW 型 DSP SPXK5 の条件実行を考慮した最適コードスケジューリング

山本哲也、石浦菜岐佐、久村孝寛、池川将夫、今井正治

本稿では、デジタル信号処理プロセッサ SPXK5 に対し、詳細なデータパス構成および命令の条件実行まで考慮した最適コードスケジューリングの手法を提案する。SPXK5 は画像処理や通信におけるデジタル信号処理を効率良く実行するための命令セットを有する VLIW (Very Long Instruction Word) 型 DSP で、1 実行パッケージで最大 4 演算を並列に実行できる。本稿のコードスケジューリングは、SPXK5 のアセンブリプログラムの基本ブロックを表すデータフローグラフ (DFG) を入力として、実行パッケージ、演算器、レジスタ、フォワーディング等に関する制約を考慮して、0-1 線形整数計画法によって実行サイクル数を厳密に最小化するコードを求める。また、条件実行演算のスケジューリングは条件の合併・分割、条件の排他性も考慮した最適化を行う。準ブール充足可能判定ソルバー PBS を用いて解を求めた結果、20 演算程度の DFG に対して現実的な時間内で最適解を求めることができた。

キーワード VLIW 型 DSP、SPXK5、コードスケジューリング、コード最適化、条件実行

## Optimum Code Scheduling for VLIW DSP SPXK5 considering Conditional Execution

Tetsuya YAMAMOTO, Nagisa ISHIURA, Takahiro KUMURA, Masao IKEKAWA, and Masaharu  
IMAI

This article presents an optimum code scheduling method for digital signal processor SPXK5 taking account of its architectural details and conditional execution. SPXK5 is a VLIW (very long instruction word) processor dedicated for digital signal processing application which can execute up to four operations per execution packet. The proposed scheduling method takes a DFG (dataflow graph) representing a basic block as input and attempts to find the optimum code, in terms of the execution cycles, by solving 0-1 integer linear programming taking all the architectural issues into account such as the structural constraints regarding the pipeline, the size of the execution packet, the capacity of the register files, etc. It also exploits grouping/ungrouping and exclusiveness of predicated operations to optimize the code. In a preliminary experiment an implemented scheduler using a pseudo Boolean satisfiability solver PBS successfully found the optimum scheduling for DFGs with about 20 operations within a feasible CPU time.

Key words VLIW DSP, SPXK5, code scheduling, code optimization, condition execution