

CPU と密に結合したコプロセッサによるハードウェア/ソフトウェア協調設計

戸田勇希、石浦菜岐佐、神原弘之、富山宏之

本稿では、CPU と密に結合するコプロセッサの合成に基づくハードウェア/ソフトウェア協調設計手法を提案する。本手法は、バイナリコードの任意の区間を高位合成によってコプロセッサ化する。CPU とコプロセッサ間の制御の受け渡しは、コプロセッサによるプログラムカウンタの監視/更新により実現する。CPU とコプロセッサ間のデータ授受は、コプロセッサがレジスタファイルおよびフォワーディングユニットに直接アクセスすることにより行う。コプロセッサの起動/終了やソフトウェア/ハードウェア間のデータの受け渡しのオーバーヘッドが非常に小さい上、バイナリコードの書き換えは一切不要である。この手法に基づいて、AES 暗号化処理の一部を MIPS (R3000) 互換プロセッサに結合可能なコプロセッサとして FPGA 上に合成した結果、CPU 単体と比較して、LUT 数 6.8 % の増加で実行サイクル数を 37 % 短縮できた。

Hardware/Software Co-Design Based on Coprocessor Tightly Coupled with CPU

Yuki TODA, Nagisa ISHIURA, Hiroyuki KANBARA, and Hiroyuki TOMIYAMA

This article presents a novel hardware/software codesign method based on synthesis of coprocessors tightly coupled with CPUs. Given a software binary, its arbitrary part is synthesized into a coprocessor. The coprocessor watches and writes into the program counter of the CPU to achieve fast control transfer between the CPU and the coprocessor. The coprocessor directly accesses the register file and the forwarding unit of the CPU to exchange data with minimum delay. In a preliminary experiment, a part of the AES encryption program is synthesized into a coprocessor, running with MIPS R3000 compatible CPU on FPGA. The coprocessor reduced the total cycles for computation by 37 % with 6.8 % increase in the LUT count.